

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-148658

(43) 公開日 平成8年(1996)6月7日

(51) Int.Cl.⁸

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/115
21/8247
29/788

H 0 1 L 27/ 10 4 3 4
29/ 78 3 7 1

審査請求 未請求 請求項の数 4 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願平6-285071

(22) 出願日 平成6年(1994)11月18日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 九ノ里 勇一

兵庫県伊丹市瑞原4丁目1番地 三菱電機
株式会社ユー・エル・エス・アイ開発研究
所内

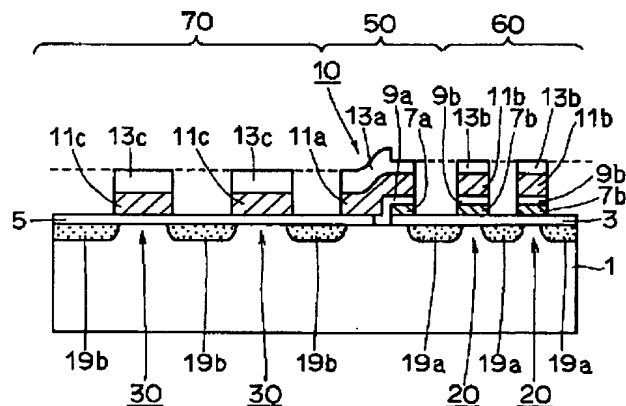
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 半導体記憶装置およびその製造方法

(57) 【要約】

【目的】 高集積化に適した半導体記憶装置およびその製造方法を提供する。

【構成】 メモリセルアレイ内には、メモリトランジスタ領域60と選択トランジスタ領域70と、これら2つの領域を分離するための分離領域50とがある。メモリセル領域60には、スタックゲート型のメモリトランジスタ20が形成されている。選択トランジスタ領域70には選択トランジスタ30が形成されている。分離領域50には、シリコン基板1上にゲート絶縁層3を介在して第1の導電層7aが形成されている。第1の導電層7aの上部表面および側面には層間絶縁層9aが形成されている。またシリコン基板1上には、ゲート絶縁層5を介在して、かつ第1の導電層7a上に乗り上げるように第2の導電層11aと絶縁層13aとが積層して形成されている。



1: シリコン基板
3, 5: ゲート絶縁層
7a: 第1の導電層
7b: フローティングゲート電極層
9a, 9b: 層間絶縁層
11a: 第2の導電層
11b: コントロールゲート電極層
11c: ゲート電極層
13a, 13b, 13c: 絶縁層
10: 分離ゲート
20: メモリトランジスタ
30: 選択トランジスタ
50: 分離領域
60: メモリセル領域
70: 選択トランジスタ領域

1

【特許請求の範囲】

【請求項 1】 半導体基板上のメモリセルアレイ内において、分離領域を挟んで互いに隣り合うメモリセル領域と選択トランジスタ領域とを有し、前記メモリセル領域はスタックゲート型の MOS トランジスタを含み、前記選択トランジスタは MOS トランジスタを含む半導体記憶装置の製造方法であって、

前記分離領域の前記メモリセル領域に隣接する領域と前記メモリセル領域とを覆うように前記半導体基板の主表面上に第 1 のゲート絶縁層と第 1 の導電層とを積層して形成する工程と、

前記第 1 の導電層上に第 1 の絶縁層を形成する工程と、前記選択トランジスタ領域内の前記半導体基板の主表面上に第 2 のゲート絶縁層を形成する工程と、

第 1 の絶縁層および第 2 のゲート絶縁層上を覆うように第 2 の導電層と第 2 の絶縁層とを積層して形成する工程と、
前記第 2 の絶縁層と前記第 2 の導電層とを順次、選択的にエッチングして、前記メモリセル領域、前記選択トランジスタ領域および前記分離領域の各々に、前記第 2 の導電層と前記第 2 の絶縁層との積層構造を有するゲート部を形成する工程とを備え、
前記メモリセル領域内のゲート部と前記選択トランジスタ領域内のゲート部と前記分離領域内のゲート部とは互いに所定の距離を隔てるように形成され、かつ前記分離領域内のゲート部は前記第 1 の導電層および前記第 1 の絶縁層上に乗り上げるように形成され、さらに、
前記分離領域の一部と前記選択トランジスタ領域とを覆い、かつ端面が前記分離領域内のゲート部上に位置するレジストパターンをマスクとして、前記分離領域内のゲート部と前記メモリセル領域内のゲート部とから露出する前記第 1 の絶縁層と前記第 1 の導電層とをエッチング除去する工程とを備えた、半導体記憶装置の製造方法。

【請求項 2】 バーズビークを有する素子分離絶縁層を、前記分離領域内の前記半導体基板の主表面に形成する工程をさらに備え、
前記第 1 の導電層は、前記素子分離絶縁層のバーズビーク上を覆うように形成され、
前記分離領域内のゲート部は前記素子分離絶縁層の前記バーズビークの上部を覆うように形成される、請求項 1 に記載の半導体記憶装置の製造方法。

【請求項 3】 半導体基板上のメモリセルアレイ内において、分離領域を挟んで互いに隣り合うメモリセル領域と選択トランジスタ領域とを有する半導体記憶装置であって、

主表面を有する半導体基板と、
前記メモリセル領域内の前記半導体基板の主表面上にゲート絶縁層を介在して形成され、かつ互いに絶縁するように積層して形成されたフローティングゲート電極層とコントロールゲート電極層とからなるスタックゲートを

2

有するスタックゲート型トランジスタと、

前記選択トランジスタ領域内の前記半導体基板の主表面上にゲート絶縁層を介在して形成されたゲート電極層を有する選択トランジスタと、

前記分離領域内の前記半導体基板の主表面上に互いに積層して形成された第 1 の導電層と第 1 の絶縁層と、前記第 1 の導電層の上方に乗り上げるように形成された第 2 の導電層と、前記第 2 の導電層上に形成された第 2 の絶縁層とを有する分離ゲートと、

前記分離ゲートは前記分離領域内に形成され、前記スタックゲートおよび前記ゲート電極層と所定の距離を隔てて形成されている、半導体記憶装置。

【請求項 4】 前記分離領域内の前記半導体基板の主表面に形成され、かつバーズビークを有する素子分離絶縁層をさらに備え、

前記分離ゲートは、前記素子分離絶縁層のバーズビーク上を覆うように形成されている、請求項 3 に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体記憶装置およびその製造方法に関し、より特定的には、メモリセルアレイ内において、分離領域を挟んで互いに隣り合うメモリセル領域と選択トランジスタ領域とを有する半導体記憶装置およびその製造方法に関するものである。

【0002】

【従来の技術】 従来から、半導体記憶装置、特に不揮発性の半導体記憶装置の一例として、フラッシュメモリが知られている。このフラッシュメモリの中でも、DINOR (Divided Bit-Line NOR) 型のフラッシュメモリと呼ばれるものが、TECHNICAL REPORT IEICE, Vol. 93, No. 74, pp15~20に開示されている。

【0003】 図 16 は、上記の DINOR 型フラッシュメモリの構成を示すブロック図である。図 16 を参照して、メモリセルアレイ部 215 は、セクタ SE1、SE2 に分割されており、またセクタ SE1、SE2 にそれぞれ対応するセレクトゲート SG1、SG2 を含んでいる。このメモリセルアレイ部 215 は、p ウェル領域 216 内に形成されている。

【0004】 メモリセルアレイ部 215 には、2 つの主ビット線 MB0、MB1 が配列されている。この主ビット線 MB0、MB1 はそれぞれ Y ゲート 217 内の Y ゲートトランジスタ YG0、YG1 を介してセンスアンプ 203 および書込回路 204 に接続されている。

【0005】 主ビット線 MB0 に対応する 2 つの副ビット線 SB01、SB02 が設けられている。また主ビット線 MB1 に対応して 2 つの副ビット線 SB11、SB12 が設けられている。副ビット線 SB01、SB11 に交差するようにワード線 WL0、WL1 が配列されている。また副ビット線 SB02、SB12 に交差するよ

3

うにワード線WL2、WL3が配列されている。

【0006】副ビット線SB01、SB02、SB11、SB12とワード線WL0～WL3との交点にはそれぞれメモリセルM00～M03、M10～M13が設けられている。メモリセルM00、M01、M10、M11はセクタSE1に含まれ、メモリセルM02、M03、M12、M13はセクタSE2に含まれている。

【0007】各メモリセルのドレインは対応する副ビット線に接続され、コントロールゲートは対応するワード線に接続され、ソースはソース線SLに接続されている。

【0008】セレクトゲートSG1は選択トランジスタSG01、SG11を含み、セレクトゲートSG2は選択トランジスタSG02、SG12を含んでいる。副ビット線SB01、SB02はそれぞれ選択トランジスタSG01、SG02を介して主ビット線MB0に接続されている。副ビット線SB11、SB12はそれぞれ選択トランジスタSG11、SG12を介して主ビット線MB1に接続されている。

【0009】アドレスバッファ209は、外部から与えられるアドレス信号を受け、Xアドレス信号をXデコーダ210に与え、Yアドレス信号をYデコーダ208に与える役割をなす。Xデコーダ210は、Xアドレス信号にตอบสนองして複数のワード線WL0～WL3のうちいずれかを選択する役割をなしている。Yデコーダ208は、Yアドレス信号にตอบสนองして複数の主ビット線MB0、MB1のいずれかを選択する選択信号を発生する役割をなしている。

【0010】Yゲート217内のYゲートトランジスタは、それぞれ選択信号にตอบสนองして主ビット線MB0、MB1をセンスアンプ203および書込回路204に接続している。読出時には、センスアンプ203が、主ビット線MB0または主ビット線MB1上に読出されたデータを検知し、データ入力バッファ202を介して外部に出力する。書込時には、外部から与えられるデータがデータ入出力バッファ202を介して書込回路204に与えられ、書込回路204はそのデータに従って主ビット線MB0、MB1にプログラム電圧を与える。

【0011】高電圧発生回路205、206は外部から電源電圧V_{CC}（たとえば5V）を受け、高電圧を発生する。負電圧発生回路207は外部から電源電圧V_{CC}を受け、負電圧を発生する。ペリファイ電圧発生回路211は、外部から与えられる電源電圧V_{CC}を受け、ペリファイ時に選択されたワード線に所定のペリファイ電圧を与える。ウェル電位発生回路212は、消去時に、pウェル領域216に負電圧を印加する。ソース制御回路213は、消去時に、ソース線SLに負電圧を与える。セレクトゲートデコーダ214は、アドレスバッファ209からのアドレス信号の一部にตอบสนองしてセレクトゲートSG1、SG2を選択的に活性化する。書込／消去制御回

4

路201は、外部から与えられる制御信号にตอบสนองして、各回路の動作を制御する。

【0012】次に、上記のDINOR型フラッシュメモリのメモリセルアレイ部215におけるメモリセルと選択トランジスタとの従来の構成を説明する。

【0013】図17は、従来の半導体記憶装置の構成を概略的に示す断面図である。図17を参照して、上述のごとく、DINOR構造では、メモリセルアレイ内にメモリセル領域60と選択トランジスタ領域70とを有し、また、これら2つの領域を分離するための分離領域50も有する。

【0014】メモリセル領域60には、複数のメモリトランジスタ20が形成されている。このメモリトランジスタ20は、1対のソース／ドレイン領域19a、19aと、ゲート絶縁層3と、フローティングゲート電極層7b、層間絶縁層9bと、コントロールゲート電極層11bとを有している。

【0015】1対のソース／ドレイン領域19a、19aは、シリコン基板（pウェル領域）1の表面に互いに所定の距離を隔てて形成されている。フローティングゲート電極層7bは、この1対のソース／ドレイン領域19a、19aに挟まれる領域上にゲート絶縁層3を介在して形成されている。コントロールゲート電極層11bは、フローティングゲート電極層7b上に層間絶縁層9bを介在して形成されている。

【0016】このフローティングゲート電極層7bと、コントロールゲート電極層11bとによりスタックゲートが構成されている。なお、コントロールゲート電極層11b上には、絶縁層13bが形成されている。

【0017】選択トランジスタ領域70には、複数の選択トランジスタ30が形成されている。選択トランジスタ30は、1対のソース／ドレイン領域19b、19bと、ゲート絶縁層5と、ゲート電極層11cとを有している。

【0018】1対のソース／ドレイン領域19b、19bは、シリコン基板1の表面に互いに所定の距離を隔てて形成されている。ゲート電極層11cは、この1対のソース／ドレイン領域19b、19bに挟まれる領域上にゲート酸化膜5を介在して形成されている。なお、ゲート電極層11c上には、絶縁層13cが形成されている。

【0019】分離領域50には、LOCOS（Local Oxidation of Silicon）法により形成された素子分離絶縁層315が形成されている。

【0020】これら分離領域50と、メモリセル領域60と、選択トランジスタ領域70とを覆うように絶縁層21が形成されている。この絶縁層21には、メモリトランジスタ20のソース／ドレイン領域19aと選択トランジスタ30のソース／ドレイン領域19bとのそれぞれの表面に達するコンタクトホール21a、21bが

5

形成されている。このコンタクトホール 21a、21b の各々を通じてメモリトランジスタ 20 のソース／ドレイン領域 19a と選択トランジスタ 30 のソース／ドレイン領域 19b との双方に接するように導電層 23 が形成されている。

【0021】次に、従来の半導体記憶装置の製造方法について説明する。図 18～図 22 は、従来の半導体記憶装置の製造方法を工程順に示す概略断面図である。まず図 18 を参照して、シリコン基板（p ウェル領域）1 の表面に、通常の LOCOS 法により素子分離絶縁層 315 が形成される。メモリセル領域 60 におけるシリコン基板 1 の表面にゲート絶縁層となるシリコン酸化膜 3 が形成される。シリコン基板 1 の表面全面にたとえば CVD（Chemical Vapor Deposition）法により、第 1 の導電層 7 が形成される。この第 1 の導電層 7 は、たとえば多結晶シリコン層、アモルファスシリコン層などより形成される。この後、分離領域 50 の一部およびメモリセル領域 60 上を覆うように、レジストパターン 41 が形成される。この状態でレジストパターン 41 の端面 41a は素子分離絶縁層 315 の上方に位置する。このレジストパターン 41 をマスクとしてエッチングが施されることにより、第 1 の導電層 7 が所望の形状にパターニングされる。この後、レジストパターン 41 が除去される。

【0022】次に図 19 を参照して、たとえば、TEOS（Tetra Ethoxy Silane）膜とシリコンナイトライド膜と TEOS 膜との 3 層構造を有する層間絶縁層 309 が形成される。この層間絶縁層 309 は、第 2 の導電層 7 上に残存するようにパターニングされる。この後、表面全面に、第 2 の導電層および TEOS 膜とが積層して堆積された後、写真製版技術、エッチング技術により所望の形状にパターニングされる。これにより、メモリセル領域にはコントロールゲート電極層 11b が、選択トランジスタ領域にはゲート電極層 11c が第 2 の導電層から形成される。

【0023】なお、この第 2 の導電層には、たとえば多結晶シリコン膜、タングステンポリサイド膜などが用いられる。また、コントロールゲート電極層 11b は、ワード線としても用いられる。

【0024】図 20 を参照して、分離領域の一部および選択トランジスタ領域上を覆うようにレジストパターン 45 が形成される。この状態で、レジストパターン 45 の端面 45a は、素子分離絶縁層 315 の上方に位置する。このレジストパターン 45 をマスクとして、ゲート絶縁層 3 の表面が露出するまで層間絶縁層 309 と第 1 の導電層 7 とに異方性エッチングが施される。

【0025】図 21 を参照して、このエッチングにより、第 1 の導電層 7 がパターニングされてフローティングゲート電極層 7b が形成される。なお、層間絶縁層 309 のエッチング時に、レジストパターン 45 から露出

6

する素子分離絶縁層 315 にもエッチングが施され、溝 315a が形成される。この後、レジストパターン 45 が除去されて、図 22 に示すようになる。

【0026】この状態で、イオン注入が施されることによって、図 17 に示すようにメモリトランジスタ 20 のソース／ドレイン領域 19a と、選択トランジスタ 30 のソース／ドレイン領域 19b とが形成される。さらにこの後、層間絶縁層 21 と導電層 23 とが各々形成される。

【0027】以上のようにして、従来の半導体記憶装置が製造される。図 17 を参照して、上述のような DINOR 構造においては、素子分離絶縁層 315 は、通常、電気的な分離には用いられず、活性領域のえぐれを防止するために用いられる。つまり、図 20、21 に示す層間絶縁層 309 と第 1 の導電層 7 とのパターニング時に、不要部分に残渣が生じないよう層間絶縁層 309 と第 2 の導電層 7 とにはオーバエッチングが施される。このため、素子分離絶縁層 315 がいない場合には、上述のオーバエッチングにより、このシリコン基板 1 の表面にえぐれが生じてしまう。

【0028】シリコン基板 1 の表面がえぐれた場合には、その後に形成されるメモリトランジスタ 20 もしくは選択トランジスタ 30 のソース／ドレイン領域 19a、19b の表面がえぐられることになり、このえぐれからリーク電流が生じてしまう。

【0029】このようにシリコン基板 1 の表面のえぐれを防止し、それによるリーク電流の発生を防止すべく素子分離絶縁層 315 が設けられている。

【0030】

【発明が解決しようとする課題】しかしながら、従来の半導体装置およびその製造方法では、素子分離絶縁層 315 を設けたため、マスクの重ね合わせずれ、および写真製版時の散乱光などの影響により、チップサイズが大きくなり高集積化に適さないという問題点があった。以下、上述の、に基づいて、その問題点について詳細に説明する。

【0031】マスクの重ね合わせずれについて図 20 に示すレジストパターン 45 の端面 45a および図 18 に示すレジストパターン 41 の端面 41a は、素子分離絶縁層 315 の上方に位置しなければならない。つまり、図 23 を参照して、仮にレジストパターン 45 の端面 45a が選択トランジスタ領域 70 内のシリコン基板 1 上にある場合には、層間絶縁層 9b、フローティングゲート電極層 7b のパターニング時にシリコン基板 1 の表面にえぐれとなる溝 315b が生じてしまう。

【0032】また図 24 を参照して、レジストパターン 41 の端面 41a がメモリセル領域 60 内のシリコン基板 1 上にある場合には、第 1 の導電層 7 の端面 7e はメモリセル領域 60 内のシリコン基板 1 上に位置することになる。このため、図 25 を参照して、レジストパター

7

ン 45 をマスクとして層間絶縁層 9b、フローティングゲート電極層 7b のパターンニングを行なうと、シリコン基板 1 の表面にえぐれとなる溝 315c が生じてしまう。

【0033】このように溝 315b もしくは 315c が形成された場合には、上述したようにこの溝 315b、315c からリーク電流が生じてしまう。ゆえに、図 20 に示すレジストパターン 45 の端面 45a および図 18 に示すレジストパターン 41 の端面 41a はともに素子分離絶縁層 315 上に位置しなければならない。

【0034】また図 18 に示すレジストパターン 41 と図 20 に示すレジストパターン 45 とは重なる領域を有してはいけな

い。【0035】つまり図 26 に示すようにレジストパターン 41 とレジストパターン 45 とが重なる領域を有する場合には、素子分離絶縁層 315 上に第 1 の導電層と層間絶縁層の残 307a、309a が残ってしまう。このような残 307a、309a は、後工程での洗浄処理時に剥がれて他の導電層間をショートさせる原因となる。ゆえに、図 18 に示すレジストパターン 41 と図 20 に示すレジストパターン 45 とは重なる領域を有するように形成されてはいけな

い。【0036】このため図 17 に示す素子分離絶縁層 315 の幅 W_1 が小さいと、写真製版における重ね合わせずれなどにより、容易に図 18 および図 20 に示すレジストパターン 41、45 の端面 41a、45a が素子分離絶縁層 315 上からずれたり、またレジストパターン 41、45 が互いに重なる領域を有することとなる。それゆえ、レジストパターン 41、45 に写真製版における重ね合わせずれが生じてても良いように、素子分離絶縁層 315 の幅 W_1 を大きくする必要がある。したがって、分離領域 50 の平面占有面積が大きくなり、それによりチップサイズも大きくなってしま

う。【0037】写真製版時の散乱光などの影響について

図 19 に示すレジストパターン 343a を形成する場合、通常、図 27 に示すように、まずフォトレジスト 343 が全面に塗布される。そして、マスク 381 を用いて所定の領域 343b に露光光が照射される。具体的には、フォトレジスト 343 がポジ型の場合にはレジストパターンとして残存する領域 343a には露光光は照射されず、それ以外の領域 343b に露光光が照射される。この際、素子分離絶縁層 315 が形成されていると、この素子分離絶縁層 315 のバズビーク部において露光光が散乱する。その結果、露光されるべきでない領域 343a が露光されてしまい、図 28 に示すように現像後のレジストパターンの形状に狂いが生じ、パターン形状の不良が生ずる。

【0038】このパターン形状の不良を防止するためには、図 17 に示すように素子分離絶縁層 315 とゲート

8

電極層 11c との間の距離 W_2 と、素子分離絶縁層 315 とコントロールゲート電極層 11b との距離 W_3 を大きくしなければならない。結果として、これらの距離 W_2 、 W_3 を大きくした分だけチップサイズも大きくなってしま

う。【0039】それゆえ、本発明の一の目的は、高集積化に適した半導体記憶装置およびその製造方法を提供することである。

【0040】また本発明の他の目的は、写真製版の重ね合わせずれが生じててもリーク電流が生じない半導体記憶装置およびその製造方法を提供することである。

【0041】また本発明のさらに他の目的は、写真製版時の散乱光などによるパターン形状の不良が生じない半導体記憶装置およびその製造方法を提供することである。

【0042】

【課題を解決するための手段】請求項 1 に記載の半導体記憶装置の製造方法は、半導体基板上のメモリセルアレイ内において、分離領域を挟んで互いに隣り合うメモリセル領域と選択トランジスタ領域とを有し、メモリセル領域はスタックゲート型の MOS トランジスタを含み、選択トランジスタ領域は MOS トランジスタを含む半導体記憶装置の製造方法であって、以下の工程を備えている。

【0043】まず分離領域のメモリセル領域に隣接する領域とメモリセル領域とを覆うように半導体基板の主表面上に第 1 のゲート絶縁層と第 1 の導電層とが積層して形成される。そして第 1 の導電層上に第 1 の絶縁層が形成される。そして選択トランジスタ領域内の半導体基板の主表面上に第 2 のゲート絶縁層が形成される。そして第 1 の絶縁層および第 2 のゲート絶縁層上を覆うように第 2 の導電層と第 2 の絶縁層とが積層して形成される。そして第 2 の絶縁層と第 2 の導電層とが順次、選択的にエッチングされ、メモリセル領域、選択トランジスタ領域および分離領域の各々に、第 2 の導電層と第 2 の絶縁層の積層構造を有するゲート部が形成される。そしてメモリセル領域内のゲート部と選択トランジスタ領域内のゲート部と分離領域内のゲート部とが互いに所定の距離を隔てるように形成され、かつ分離領域内のゲート部は第 1 の導電層および第 1 の絶縁層上に乗り上げるように形成される。そして分離領域の一部と選択トランジスタ領域とを覆い、かつ端面が分離領域内のゲート部上に位置するレジストパターンをマスクとして、分離領域内のゲート部とメモリセル領域内のゲート部から露出する第 1 の絶縁層と第 1 の導電層とがエッチング除去される。

【0044】請求項 2 に記載の半導体記憶装置の製造方法は、バズビークを有する素子分離絶縁層を分離領域内の半導体基板の主表面に形成する工程をさらに備えている。第 1 の導電層は、素子分離絶縁層のバズビーク上を覆うように形成される。分離領域内のゲート部は素

子分離絶縁層のバースビークの上方を覆うように形成される。

【0045】請求項3に記載の半導体記憶装置は、半導体基板上のメモリセルアレイ内において、分離領域を挟んで互いに隣り合うメモリセル領域と選択トランジスタ領域とを有する半導体記憶装置であって、半導体基板と、スタックゲート型トランジスタと、選択トランジスタと、分離ゲートとを備えている。半導体基板は主表面を有している。スタックゲート型トランジスタは、メモリセル領域内の半導体基板の主表面上にゲート絶縁層を介在して形成され、かつ互いに絶縁するように積層して形成されたフローティングゲート電極層とコントロールゲート電極層とからなるスタックゲートを有している。選択トランジスタは、選択トランジスタ領域内の半導体基板の主表面にゲート絶縁層を介在して形成されたゲート電極層を有している。分離ゲートは、分離領域内の半導体基板の主表面上に互いに積層して形成された第1の導電層および第1の絶縁層と、第1の導電層および第2の絶縁層上に乗り上げるように形成された第2の導電層と、第2の導電層上に形成された第2の絶縁層とを有している。この分離ゲートは分離領域内に形成され、スタックゲートおよびゲート電極層と所定の距離を隔てて形成されている。

【0046】請求項4に記載の半導体記憶装置は、分離領域内の半導体基板の主表面に形成され、かつバースビークを有する素子分離絶縁層をさらに備えている。分離ゲートは素子分離絶縁層のバースビーク上を覆うように形成されている。

【0047】

【作用】請求項1に記載の半導体記憶装置の製造方法では、フローティングゲート電極を形成するための第1の導電層のエッチング除去時に、レジストパターンが選択トランジスタ領域を覆っている。また、この状態において、フローティングゲート電極となる第1の導電層は、メモリセル領域のみならずメモリセル領域と隣り合う分離領域をも覆っている。このため、このエッチング除去時には、レジストパターンから露出するメモリセル領域内では、半導体基板を覆うように少なくとも第1の絶縁層と第1の導電層と第1のゲート絶縁層とが形成されている。よって、このエッチング除去を施しても、シリコン基板上にえぐれが生じることは防止される。

【0048】また、第1のレジストパターンの端面は分離領域にあればよく、第2のレジストパターンの端面も分離領域内にあればよい。また第1および第2のレジストパターンが互いに重なる領域を有していてもよい。このように、分離領域の平面占有面積を大きくすることなく、マスクの重ね合わせずれマージンを大きくすることができる。よって、高集積化に対応することができる。

【0049】また素子分離絶縁層が不要であるため、この素子分離絶縁層のバースビーク部で露光光が散乱する

こともない。よって、この露光光の散乱によるパターン形状の不良も生じないため、分離領域とメモリトランジスタ（もしくは選択トランジスタ）のゲートとの距離を大きく確保する必要はない。したがって、チップサイズの粗大化を防止でき、高集積化に対応することができる。

【0050】上記の方法により製造される請求項3に記載の半導体記憶装置では、基板表面にえぐれが生じないためこのえぐれ部分におけるリーク電流の発生が防止される。また、導電層間の電氣的ショートも防止することができる。

【0051】請求項2に記載の半導体記憶装置の製造方法では、分離領域に素子分離絶縁層が形成されているが、この素子分離絶縁層のバースビーク上には分離領域内のゲート部が形成されている。このため、第2の絶縁層と第2の導電層とを順次エッチングする際に、バースビーク上に露光光が照射されることはない。よって、このバースビーク部にて露光光が散乱されることは防止され、パターン形状の不良も防止される。

【0052】上記の方法により製造される請求項4に記載の半導体記憶装置では、パターン形状の不良が防止されるため、安定な動作を確保することができる。

【0053】

【実施例】以下、本発明の実施例について図に基づいて説明する。

【0054】実施例1

図1は、本発明の実施例1における半導体記憶装置の構成を概略的に示す断面図である。図1を参照して、DINOR構造は、メモリセルアレイ内にメモリセル領域60と選択トランジスタ領域70とを有し、このため、これら2つの領域を分離するための分離領域50をも有している。

【0055】メモリセル領域60内には、シリコン基板（pウェル領域）1の表面に複数個のメモリトランジスタ20が形成されている。また選択トランジスタ領域70には、シリコン基板1の表面に複数個の選択トランジスタ30が形成されている。このメモリトランジスタ20および選択トランジスタ30の構成は、従来例で説明した構成とほぼ同様であるため、同一の部材については同一の符号を付し、その説明を省略する。

【0056】分離領域50には、堆積層（以下、分離ゲートと称する）10が形成されている。この分離ゲート10は、第1の導電層7aと、層間絶縁層9aと、第2の導電層11aと、絶縁層13aとを有している。第1の導電層7aは、シリコン基板1上にゲート絶縁層3を介在して形成されている。この第1の導電層7aは、メモリトランジスタ20のフローティングゲート電極層7bと同一の層から形成され、たとえば多結晶シリコン層、アモルファスシリコン層などからなっている。

【0057】層間絶縁層9aは、第1の導電層7aの上

部表面および一方側面上を覆うように形成されている。この層間絶縁層9aは、メモリトランジスタ20の層間絶縁層9bと同一の層から形成されており、たとえばTEOS膜、シリコンナイトライド膜、TEOS膜の3層積層構造を有している。

【0058】第2の導電層11aは、シリコン基板1の表面上にゲート絶縁層5を介在して形成されており、その一方端が第1の導電層7a上に乗り上げるように形成されている。この第1の導電層11aは、メモリトランジスタ20のコントロールゲート電極層11bや選択トランジスタ30のゲート電極層11cと同一の層から形成されており、たとえば多結晶シリコン層、タングステンポリサイド層からなっている。

【0059】絶縁層13aは、第2の導電層11a上に形成されている。また絶縁層13aは、絶縁層13bや絶縁層13cと同一の層から形成されており、たとえばTEOS膜より形成されている。

【0060】なお、図中省略してあるが、図17に示す絶縁層21および導電層23も形成されている。

【0061】次に、本実施例の製造方法について説明する。図2～図7は、本発明の実施例2における半導体記憶装置の製造方法を工程順に示す概略断面図である。図2を参照して、シリコン基板(pウェル領域)1の表面全面に熱酸化処理によりシリコン酸化膜3が形成される。このシリコン酸化膜3の表面全面にたとえばCVD法により多結晶シリコン層もしくはアモルファスシリコン層よりなる第1の導電層7が形成される。分離領域50の一部およびメモリセル領域60を覆うように、この第1の導電層7の表面上にレジストパターン41が形成される。このレジストパターン41の端面41aは分離領域50に位置している。このレジストパターン41をマスクとして第1の導電層7およびシリコン酸化膜3が順次、パターニングされる。これにより、シリコン酸化膜3および第1の導電層7は、分離領域50の一部表面およびメモリセル領域60を覆うような形状とされる。この後、レジストパターン41が除去される。

【0062】図3を参照して、第1の導電層7の上部表面および側面を覆うように、TEOS膜、シリコンナイトライド膜、TEOS膜の3層積層構造を有する層間絶縁層9が形成される。この後、熱酸化処理などにより、シリコン基板1の露出する表面上にシリコン酸化膜よりなるゲート絶縁層5が形成される。さらにこの後、たとえばCVD法により、多結晶シリコン層またはタングステンポリサイド層よりなる第2の導電層11が表面全面に形成される。この第2の導電層11の表面全面に、たとえばシリコン酸化膜よりなる絶縁層13が形成される。

【0063】図4を参照して、絶縁層13の所定の領域にレジストパターン43aが形成される。このレジストパターン43aをマスクとして絶縁層13と第2の導電

層11とに順次エッチングが施される。この後、レジストパターン43aが除去される。

【0064】図5を参照して、上記のエッチングにより、メモリセル領域にはメモリトランジスタのコントロールゲート電極層11bが形成される。また選択トランジスタ領域には、選択トランジスタのゲート電極層11cが形成される。また分離領域には、分離ゲートを構成する第2の導電層11aが形成される。

【0065】図6を参照して、選択トランジスタ領域を覆い、かつ分離ゲートの絶縁層13a上にその端面45aを有するレジストパターン35が形成される。このレジストパターン45をマスクとして、層間絶縁層9と第1の導電層7とに異方性エッチングが施される。この後、レジストパターン45が除去される。

【0066】図7を参照して、上述の異方性エッチングにより、メモリトランジスタのフローティングゲート電極層7bが形成される。また分離ゲート10を構成する第1の導電層7aも形成される。この後、イオン注入によって、図1に示すようにメモリトランジスタ20のソース/ドレイン領域19aと、選択トランジスタ30のソース/ドレイン領域19bとが各々形成される。

【0067】さらにこの後、図17に示す絶縁層21と導電層23とが形成される。以上説明したように、本実施例の製造方法では、図6、図7に示すようにフローティングゲート電極層7bのパターニング時には、レジストパターン45は、選択トランジスタ領域を覆い、かつその端面45aが絶縁層13a上に位置している。また、この状態において、フローティングゲート電極層となる第1の導電層7は、メモリセル領域のみならず、メモリセル領域と隣り合う分離領域をも覆っている。このため、レジストパターン45から露出するメモリセル領域内にはシリコン基板1を覆うように少なくともゲート絶縁層3と第1の導電層7と層間絶縁層9とが形成されている。よって、フローティングゲート電極層7bのパターニングのためのエッチングが施されても、シリコン基板1の表面にえぐれが生じることは防止される。

【0068】また、図2を参照して、レジストパターン41の端面41aは、分離領域50内にあればよく、また図6に示すレジストパターン45の端面45aも分離領域内にあればよい。またレジストパターン41および45が互いに重なる領域を有していてもよい。このように分離領域の表面占有面積を大きくすることなく、本実施例では従来例に比較してマスクの重ね合わせマージンを大きくすることができる。よって、チップの粗大化を防止することができ、高集積化に対応することができる。

【0069】また本実施例では、素子分離絶縁層が不要である。このため、たとえば図4に示すレジストパターン43a形成のプロセスにて、素子分離絶縁層のバンプ部で露光が散乱することもない。以下、そのこ

10

20

30

40

50

とについて詳細に説明する。

【0070】図8は、図4に示すレジストパターン43aを形成するための露光時の様子を示す断面図である。図8を参照して、レジストパターンを作製するには、まず絶縁層13の表面全面にフォトリソグ43が塗布される。この後、このフォトリソグ43の所望領域に、マスク81を用いて露光光が照射される。図中矢印は露光光の経路を示している。たとえばフォトリソグ43がポジ型の場合には、レジストパターンとなるべき領域43aには露光光は照射されない。

【0071】本実施例では、分離領域に分離ゲート10を形成するため、分離領域には露光光は照射されない。このため、第1の導電層7により生じた絶縁層13の表面段差部には露光光は照射されない。よって、絶縁層13の表面段差部において露光光が散乱することは防止され、パターン形状の不良は防止される。ゆえに、この露光光の散乱を防止できるため、分離領域とメモリトランジスタ（もしくは選択トランジスタ）のゲートとの距離を大きく確保する必要はない。したがって、チップの粗大化を防止することができ、高集積化に対応することができる。

【0072】また本実施例の製造方法により製造される図1に示す半導体記憶装置では、シリコン基板1の表面にえぐれが発生することが防止されるため、このえぐれにおいてリーク電流が生ずることはない。

【0073】また、分離ゲート10の幅は大きく確保することができるため、分離ゲート10自体がシリコン基板1から剥がれ難い。また、第1の導電層7aと層間絶縁層9aとは、第2の導電層11aと絶縁層13aとによりシリコン基板1側へ押しつけられているため、シリコン基板1から剥がれ難い。よって、この分離ゲート10が剥がれることにより生ずる他の導電層間の電氣的ショートも防止され得る。

【0074】実施例2

図9は、本発明の実施例2における半導体記憶装置の構成を概略的に示す断面図である。図9を参照して、上述の実施例1と同様、本実施例のメモリセルアレイ部も、メモリセル領域60と選択トランジスタ領域70とを有しており、これら2つの領域を分離するための分離領域50をも有している。

【0075】メモリセル領域60には、複数個のメモリトランジスタ20が形成されている。また選択トランジスタ領域70には、複数個の選択トランジスタ30が形成されている。このメモリトランジスタ20および選択トランジスタ30の構成は、実施例1の構成とほぼ同様であるため、同一の部材については同一の符号を付し、その説明を省略する。

【0076】分離領域50には、素子分離絶縁層15上に分離ゲート110が形成されている。分離ゲート110は、パターンニングされた第1の導電層107aと、層

間絶縁層109aと、パターンニングされた第2の導電層111aと、絶縁層113aとを有している。

【0077】第1の導電層107aは、素子分離絶縁層15の一方のバースビーク上を覆うように形成されている。この第1の導電層107aは、メモリトランジスタ20のフローティングゲート電極層7bと同一の層から形成されており、たとえば多結晶シリコン層またはアモルファスシリコン層により形成されている。

【0078】層間絶縁層109aは、第1の導電層107aの上部表面および一方側面を覆うように形成されている。この層間絶縁層109aは、メモリトランジスタ20の層間絶縁層9bと同一の層から形成されており、たとえばTEOS膜、シリコンナイトライド膜、TEOS膜の3層積層構造を有している。

【0079】第2の導電層111aは、素子分離絶縁層15の他方のバースビーク上を覆うように、かつ第1の導電層107aと層間絶縁層109a上に乗り上げるように形成されている。この第2の導電層111aは、メモリトランジスタ20のコントロールゲート電極層11bや選択トランジスタ30のゲート電極層11cと同一の層から形成されており、たとえば多結晶シリコン層またはタングステンポリサイド層より形成されている。

【0080】絶縁層113aは、第2の導電層111a上に形成されている。この絶縁層113aは、メモリトランジスタ20のコントロールゲート電極層11b上の絶縁層13bや選択トランジスタ30のゲート電極層11c上の絶縁層13cと同一の層から形成されており、たとえばTEOS膜よりなっている。

【0081】次に、本実施例の半導体記憶装置の製造方法について説明する。図10～図14は、本発明の実施例2における半導体記憶装置の製造方法を工程順に示す概略断面図である。まず図10を参照して、シリコン基板（pウェル領域）1の分離領域50に、通常のLOCOS法により分離絶縁層15が形成される。メモリセル領域60のシリコン基板1上にゲート酸化膜となるシリコン酸化膜3が形成される。表面全面にたとえばCVD法により多結晶シリコン層もしくはアモルファスシリコン層よりなる第1の導電層7が形成される。この第1の導電層7上に、分離領域50の一部とメモリセル領域60とを覆うようにレジストパターン41が形成される。このレジストパターン41をマスクとして第1の導電層7にエッチングが施される。これにより、分離領域50の領域内において素子分離絶縁層15の一方のバースビーク上に乗り上げるように、かつメモリセル領域60上を覆うように第1の導電層7がパターンニングされる。この後、レジストパターン41が除去される。

【0082】図11を参照して、第1の導電層7の上部表面および側面を覆うように、たとえばTEOS膜、シリコンナイトライド膜、TEOS膜の3層積層構造よりなる層間絶縁層9が形成される。表面全面を覆うよう

に、たとえばCVD法により多結晶シリコン層もしくはタングステンポリサイド層よりなる第2の導電層11が形成される。この第2の導電層11上には、たとえばTEOSよりなる絶縁層13が形成される。この絶縁層13上には、写真製版技術により所望の形状を有するレジストパターン43aが形成される。このレジストパターン43aをマスクとして絶縁層13および第2の導電層11に順次、エッチングが施される。この後、レジストパターン43aが除去される。図12を参照して、上記のエッチングにより、メモリセル領域には、第2の導電層からメモリトランジスタのコントロールゲート電極層11bが形成される。また選択トランジスタ領域には、この第2の導電層から選択トランジスタのゲート電極層11cが形成される。また分離領域には、後述の分離ゲートの一部を構成するパターンニングされた第1の導電層111aと絶縁層113aとが形成される。このパターンニングされた第1の導電層111aと絶縁層113aとは、素子分離絶縁層15の他方のバースビーク上を覆うように、かつ第1の導電層7上に乗り上げるように形成される。

【0083】図13を参照して、選択トランジスタ領域を覆うように、かつその端面45aが分離ゲートの絶縁層113a上に位置するように、写真製版技術によりレジストパターン45が形成される。このレジストパターン45をマスクとして層間絶縁層9および第1の導電層7に順次、異方性エッチングが施される。この後、レジストパターン45が除去される。

【0084】図14を参照して、上記の異方性エッチングにより、第1の導電層からメモリトランジスタのフローティングゲート電極層7bが形成される。また分離ゲート110の一部をなす第1の導電層107aと層間絶縁層109aとが形成される。

【0085】なお、図13の異方性エッチング時において、絶縁層13bおよび分離ゲートをなす絶縁層113aも同時に所望量エッチング除去され、その膜厚が小さくなる。

【0086】なお、この後イオン注入を行なうことにより、図9に示すように、メモリトランジスタ20のソース／ドレイン領域19aと選択トランジスタ30のソース／ドレイン領域19bとが形成される。さらにこの後、図17に示すような絶縁層21および導電層23が形成される。

【0087】上記のように、本実施例では、シリコン基板1の表面に素子分離絶縁層15が形成されている。しかしこの素子分離絶縁層15のバースビーク上には、分離ゲート110が形成されている。このため、素子分離絶縁層15のバースビーク上において、露光光の散乱が生じることが防止される。以下、そのことについて詳細に説明する。

【0088】図15は、図11に示すレジストパターン

43aを形成するための露光時の様子を示す断面図である。

【0089】図15を参照して、レジストパターンを作製するには、まず絶縁層13の表面全面にフォトリソレジスト43が塗布される。この後、このフォトリソレジスト43の所望領域に、マスク81を用いて露光光が照射される。図中矢印は露光光の経路を示している。たとえばフォトリソレジスト43がボジ型の場合には、レジストパターンとなるべき領域43aには露光光は照射されない。

【0090】本実施例では、分離絶縁層15のバースビーク上を覆うように分離ゲートが形成される。このため、素子分離絶縁層15のバースビークを含む上方には、露光光が照射されない領域43aが存在する。このため、素子分離絶縁層15によって生じた絶縁層13の表面段差部には、露光光は照射されない。このため、絶縁層13の表面段差部において露光光が散乱することが防止される。それゆえ、パターン形状の不良も防止される。

【0091】なお、これ以外に本実施例は、実施例1と同様の効果をも有する。また、実施例1においては特に図1に示すように絶縁層13bの上部表面と絶縁層13aの上部表面の一部とはほぼ同一の平面に位置している。また、絶縁層13cの上部表面と絶縁層13aの上部表面の一部とはほぼ同一の平面に位置している。このため、これより上層にレイヤーを形成する場合に、写真製版時におけるハレーションを防止することが可能となる。

【0092】また実施例2においては、分離ゲート10が素子分離絶縁層15の両側のバースビーク上を覆っているが、一方のバースビーク上のみ覆っていてもよい。

【0093】また、実施例2において、素子分離絶縁層15はシリコン酸化膜である。

【0094】

【発明の効果】請求項1に記載の半導体記憶装置の製造方法では、フローティングゲート電極を形成するための第1の導電層のエッチング時に、レジストパターンは選択トランジスタ領域を覆っている。また、この状態において、フローティングゲート電極となる第1の導電層は、メモリセル領域のみならず、メモリセル領域と隣り合う分離領域をも覆っている。このため、このエッチング除去時には、レジストパターンから露出するメモリセル領域内では半導体基板を覆うように少なくとも第1の絶縁層と第1の導電層と第1のゲート絶縁層とが形成されている。よって、このエッチング除去を施しても、シリコン基板にえぐれが生じることは防止される。

【0095】また、第1のレジストパターンの端面は分離領域にあればよく、第2のレジストパターンの端面も分離領域にあればよい。また第1および第2のレジストパターンが互いに重なる領域を有していてもよい。このように分離領域の平面占有面積を大きくすることなく、

10

20

30

40

50

マスクの重ね合わせマージンを大きくすることができるため、高集積化に対応することができる。

【0096】また、素子分離絶縁層が不要であるため、この素子分離絶縁層のバースビーク部で露光光が散乱することはなく、ゆえに露光光の散乱を考慮して各部の寸法を大きく確保する必要はない。したがって、高集積化に対応することができる。

【0097】上記の方法により製造される請求項3に記載の半導体記憶装置は、リーク電流が抑制され、かつ導電層間の電氣的ショートが防止される。

【0098】請求項2に記載の半導体記憶装置の製造方法では、分離領域に素子分離絶縁層が形成されるが、この素子分離絶縁層のバースビーク上には分離領域内のゲート部が形成されている。このため、第2の絶縁層と第2の導電層とを順次エッチングする際に、バースビーク上に露光光は照射されない。よって、このバースビークによって露光光が散乱されることが防止され、パターン形状の不良も防止される。

【0099】上記の方法により製造される請求項4に記載の半導体記憶装置では、パターン形状の不良が防止されるため、たとえば安定な動作を確保することが可能となる。

【図面の簡単な説明】

【図1】 本発明の実施例1における半導体記憶装置の構成を概略的に示す断面図である。

【図2】 本発明の実施例1における半導体記憶装置の製造方法の第1工程を示す概略断面図である。

【図3】 本発明の実施例1における半導体記憶装置の製造方法の第2工程を示す概略断面図である。

【図4】 本発明の実施例1における半導体記憶装置の製造方法の第3工程を示す概略断面図である。

【図5】 本発明の実施例1における半導体記憶装置の製造方法の第4工程を示す概略断面図である。

【図6】 本発明の実施例1における半導体記憶装置の製造方法の第5工程を示す概略断面図である。

【図7】 本発明の実施例1における半導体記憶装置の製造方法の第6工程を示す概略断面図である。

【図8】 本発明の実施例1における半導体記憶装置の製造方法では、露光光の散乱を防止できることを示す概略断面図である。

【図9】 本発明の実施例2における半導体記憶装置の構成を概略的に示す断面図である。

【図10】 本発明の実施例2における半導体記憶装置の製造方法の第1工程を示す概略断面図である。

【図11】 本発明の実施例2における半導体記憶装置の製造方法の第2工程を示す概略断面図である。

【図12】 本発明の実施例2における半導体記憶装置の製造方法の第3工程を示す概略断面図である。

【図13】 本発明の実施例2における半導体記憶装置の製造方法の第4工程を示す概略断面図である。

【図14】 本発明の実施例2における半導体記憶装置の製造方法の第5工程を示す概略断面図である。

【図15】 本発明の実施例2における半導体記憶装置の製造方法において、露光光の散乱を防止することができることを説明するための概略断面図である。

10 【図16】 一般的なDINOR型フラッシュメモリの構成を示すブロック図である。

【図17】 従来の半導体記憶装置の構成を概略的に示す断面図である。

【図18】 従来の半導体記憶装置の製造方法の第1工程を示す概略断面図である。

【図19】 従来の半導体記憶装置の製造方法の第2工程を示す概略断面図である。

【図20】 従来の半導体記憶装置の製造方法の第3工程を示す概略断面図である。

20 【図21】 従来の半導体記憶装置の製造方法の第4工程を示す概略断面図である。

【図22】 従来の半導体記憶装置の製造方法の第5工程を示す概略断面図である。

【図23】 基板にえぐれが生ずる場合を示す概略断面図である。

【図24】 基板にえぐれが生ずる場合を示す第1工程図である。

【図25】 基板にえぐれが生ずる場合を示す第2工程図である。

30 【図26】 レジストパターンが重なる領域を有する場合に生ずる弊害を説明するための概略断面図である。

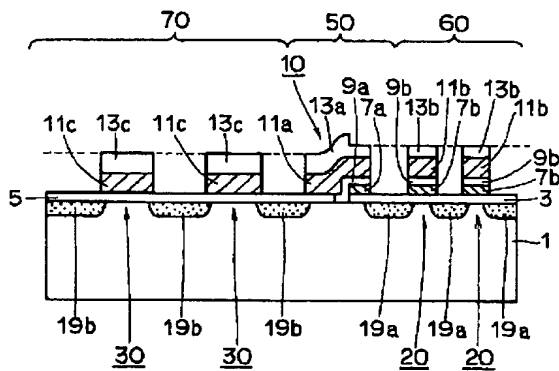
【図27】 露光光の散乱が生じる様子を説明するための概略断面図である。

【図28】 露光光の散乱が生じた場合の弊害を説明するための概略断面図である。

【符号の説明】

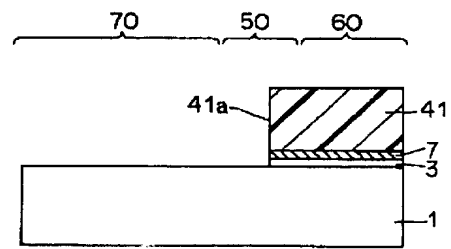
1 シリコン基板、3、5 ゲート絶縁層、7a、10、7a 第1の導電層、7b フローティングゲート電極層、9a、9b、109a 層間絶縁層、11a、111a 第2の導電層、11b コントロールゲート電極層、11c ゲート電極層、13a、13b、13c 絶縁層、15 素子分離絶縁層、10、110 分離ゲート、20 メモリトランジスタ、30 選択トランジスタ、50 分離領域、60 メモリセル領域、70 選択トランジスタ領域。

【図 1】

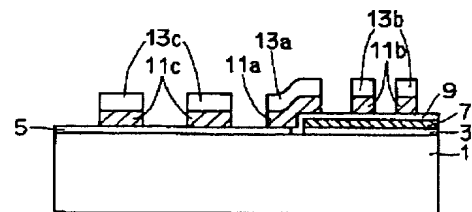


- 1: シリコン基板
 3, 5: ゲート絶縁層
 7a: 第1の導電層
 7b: フloatingゲート電極層
 9a, 9b: 層間絶縁層
 11a: 第2の導電層
 11b: コントロールゲート電極層
 11c: ゲート電極層
 13a, 13b, 13c: 絶縁層
 10: 分離ゲート
 20: メモリトランジスタ
 30: 選択トランジスタ
 50: 分離領域
 60: メモリセル領域
 70: 選択トランジスタ領域

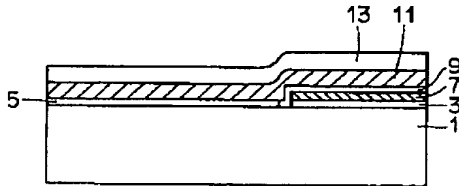
【図 2】



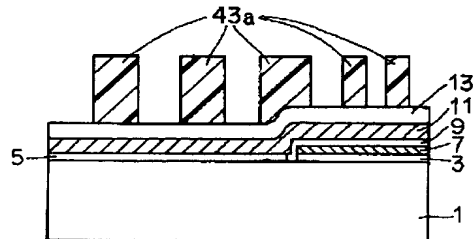
【図 5】



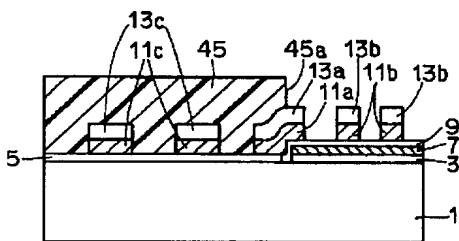
【図 3】



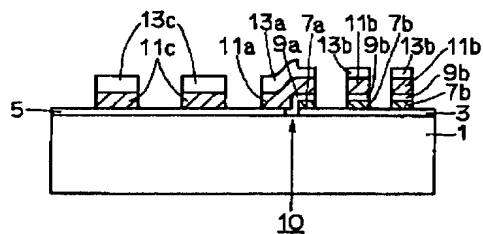
【図 4】



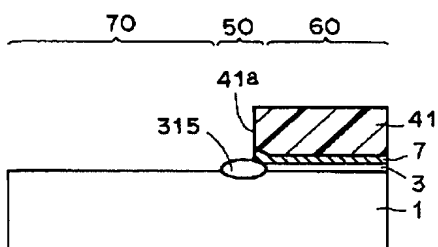
【図 6】



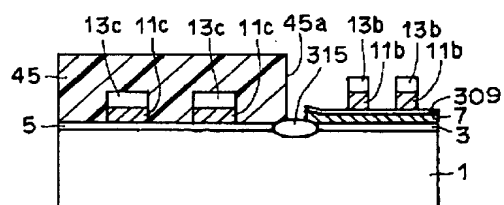
【図 7】



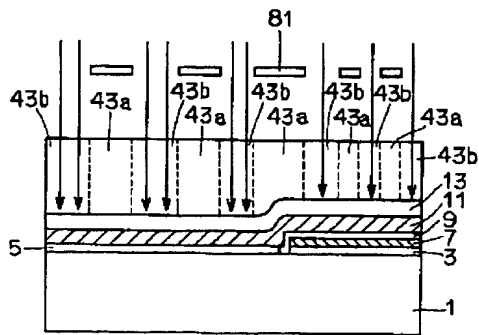
【図 18】



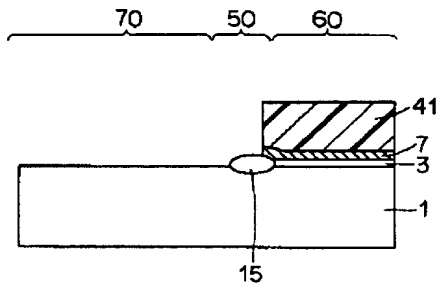
【図 20】



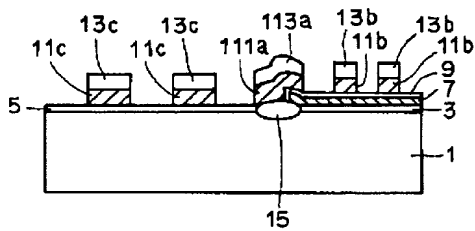
【図 8】



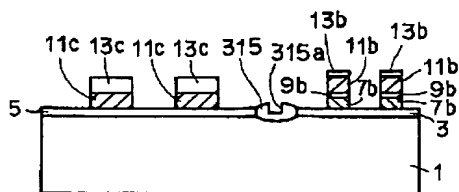
【図 10】



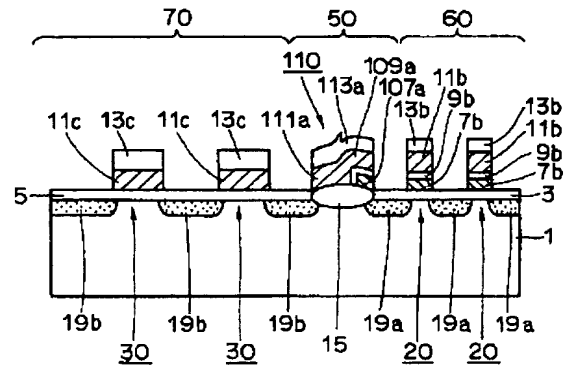
【図 12】



【図 22】

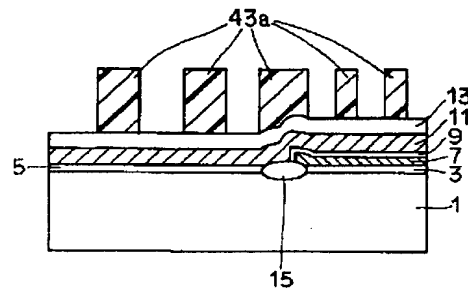


【図 9】

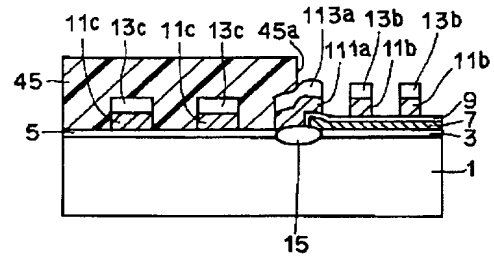


107a: 第1の導電層
 109a: 層間絶縁層
 111a: 第2の導電層
 113a: 絶縁層
 15: 素子分離絶縁層
 110: 分離ゲート

【図 11】



【図 13】



【図 15】

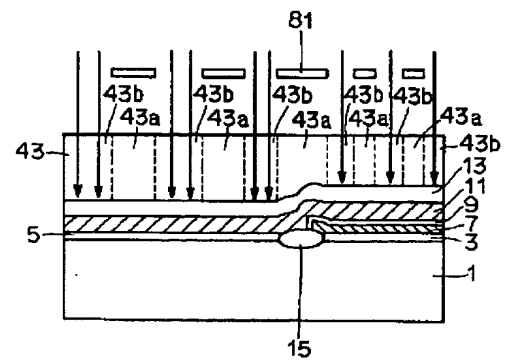
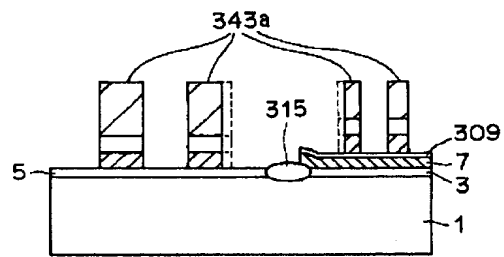


Figure 1 is a block diagram of a semiconductor device. The central part of the diagram shows a memory array (215) with word lines (WL0, WL1, WL2, WL3) and bit lines (BL0, BL1, BL2, BL3). The array contains memory cells (M00, M01, M02, M03, M10, M11, M12, M13, M20, M21, M22, M23, M30, M31, M32, M33) and sense amplifiers (SB01, SB02, SB11, SB12, SB21, SB22, SB31, SB32). The array is connected to a data input/output buffer (201) and a data decoder (204). The array is also connected to a sense amplifier (203) and a write driver (204). The array is connected to a high voltage generator (205) and a negative voltage generator (206). The array is connected to an address buffer (207) and an address decoder (209). The array is connected to a source control (213) and a well potential generator (212). The array is connected to a data input/output buffer (201) and a data decoder (204). The array is connected to a sense amplifier (203) and a write driver (204). The array is connected to a high voltage generator (205) and a negative voltage generator (206). The array is connected to an address buffer (207) and an address decoder (209). The array is connected to a source control (213) and a well potential generator (212).

【図 28】



フロントページの続き

(51) Int. Cl.⁶

H 0 1 L 29/792

識別記号

庁内整理番号

F I

技術表示箇所